

### TL0107 64 通道点阵式液晶行驱动电路

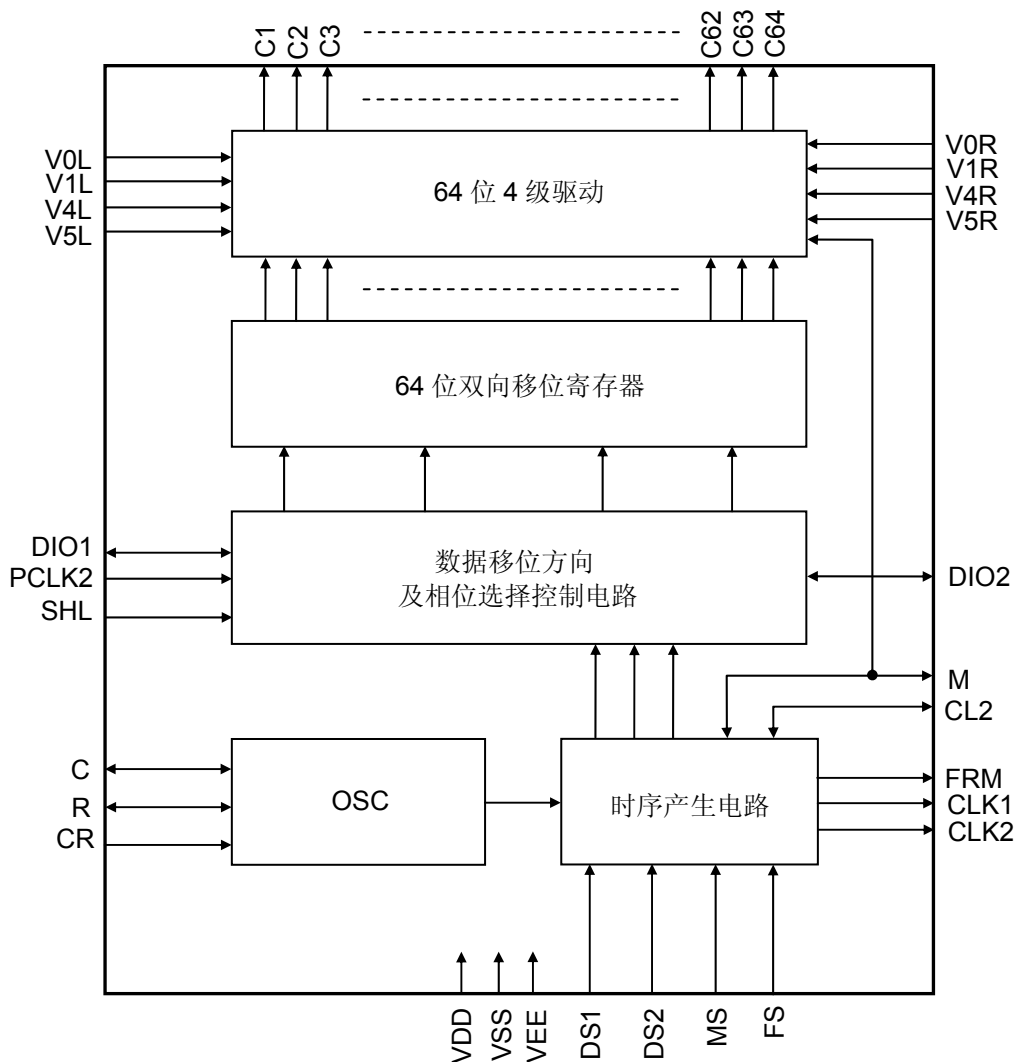
#### 概述

TL0107是一种点阵式液晶行驱动电路,具有64通道输出。该电路提供64位移位寄存器和64位输出驱动,并产生时序信号控制TL0108。TL0107采用低功耗、高压CMOS工艺制造,和TL0108一起组成液晶驱动模块。

#### 功能特点

- 64 通道输出的点阵式 LCD 驱动
- 内含 64 位移位寄存器
- 内含时序产生电路以实现动态显示
- 可选择主/从模式
- LCD 占空比: 1/48,1/64,1/96,1/128
- 电源电压:2.7V~ 5.5V
- 液晶驱动电压: 8V~15V(VDD-VEE)
- 高压 CMOS 工艺
- QFP100/裸片

#### 功能框图



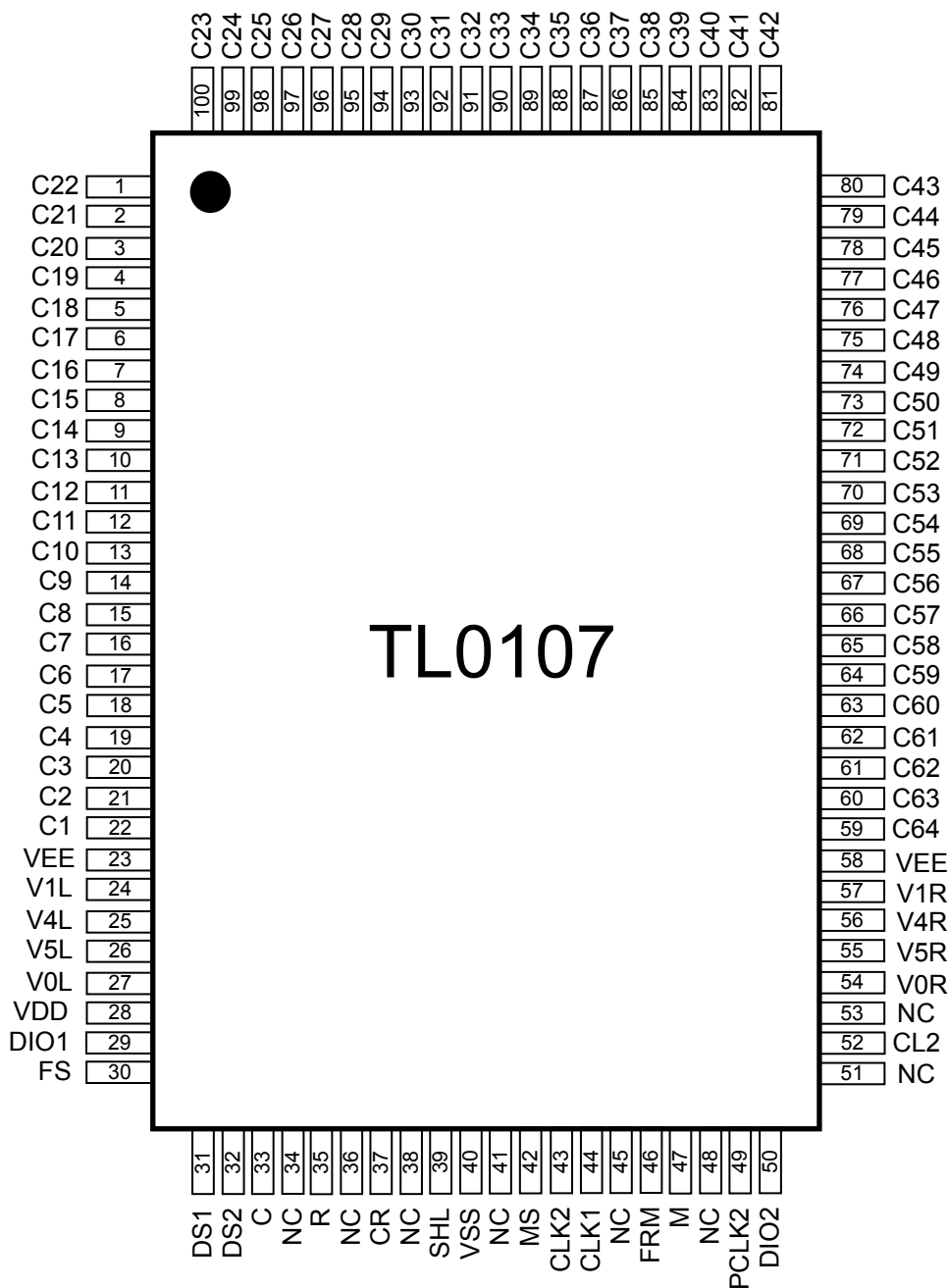
\* All specs and applications shown above subject to change without prior notice.

( 以上电路及规格仅供参考,本公司得径行修正)



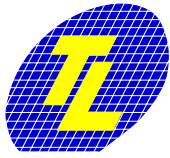
#### 管脚排列

100-QFP



\* All specs and applications shown above subject to change without prior notice.

( 以上电路及规格仅供参考,本公司得径行修正)

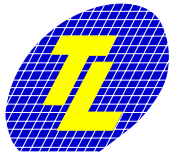


### 管脚说明

管脚号	管脚名称	I/O	说明						
28	VDD	电源	内部逻辑电路电压(+5V±10%)						
40	VSS		地(0V)						
23,58	VEE		LCD 驱动电压						
27,54	V0L, V0R	电源	LCD 驱动终端偏置电压						
24,57	V1L, V1R		<table border="1"> <thead> <tr> <th>选择电平</th> <th>非选择电平</th> </tr> </thead> <tbody> <tr> <td>V0L(R), V5L(R)</td> <td>V1L(R), V4L(R)</td> </tr> </tbody> </table>	选择电平	非选择电平	V0L(R), V5L(R)	V1L(R), V4L(R)		
选择电平	非选择电平								
V0L(R), V5L(R)	V1L(R), V4L(R)								
25,56	V4L, V4R								
26,55	V5L, V5R	V0L和V0R(V1L&V1R, V4L&V4R, V5L&V5R)应接同一电压							
42	MS	输入	主/从模式选择 ● 主机模式(MS=1) DIO1,DIO2,CL2和M为输出态 ● 从机模式(MS=0) SHL=1→DIO1为输入态(DIO2为输出态) SHL=0→DIO2为输入态(DIO1为输出态) CL2 和 M 为输入态						
39	SHL	输入	数据传输方向 <table border="1"> <thead> <tr> <th>SHL</th> <th>数据传输方向</th> </tr> </thead> <tbody> <tr> <td>H</td> <td>DIO1 C1....C64 DIO2</td> </tr> <tr> <td>L</td> <td>DIO2 C64....C1 DIO1</td> </tr> </tbody> </table>	SHL	数据传输方向	H	DIO1 C1....C64 DIO2	L	DIO2 C64....C1 DIO1
SHL	数据传输方向								
H	DIO1 C1....C64 DIO2								
L	DIO2 C64....C1 DIO1								
49	PCLK2	输入	移位时钟(CLK2)相位 <table border="1"> <thead> <tr> <th>PCLK2</th> <th>移位时钟(CLK2)相位</th> </tr> </thead> <tbody> <tr> <td>H</td> <td>CL2 上升沿移位</td> </tr> <tr> <td>L</td> <td>CL2 下降沿移位</td> </tr> </tbody> </table>	PCLK2	移位时钟(CLK2)相位	H	CL2 上升沿移位	L	CL2 下降沿移位
PCLK2	移位时钟(CLK2)相位								
H	CL2 上升沿移位								
L	CL2 下降沿移位								
30	FS	输入	振荡频率选择 ● 主机模式 当帧频率为70Hz,振荡频率为 FS=1-- fosc=430KHz FS=0 -- fosc=215KHz ● 从机模式 接 VDD						

\* All specs and applications shown above subject to change without prior notice.

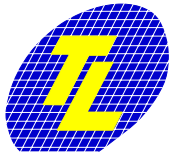
( 以上电路及规格仅供参考,本公司得径行修正)



31 32	DS1 DS2	输入	<p>显示占空比选择</p> <ul style="list-style-type: none"> <li>● 主机模式</li> </ul> <table border="1"> <thead> <tr> <th>DS1</th> <th>DS2</th> <th>占空比</th> </tr> </thead> <tbody> <tr> <td rowspan="2">L</td> <td>L</td> <td>1/48</td> </tr> <tr> <td>H</td> <td>1/64</td> </tr> <tr> <td rowspan="2">H</td> <td>L</td> <td>1/96</td> </tr> <tr> <td>H</td> <td>1/128</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>● 从机模式 接 VDD</li> </ul>	DS1	DS2	占空比	L	L	1/48	H	1/64	H	L	1/96	H	1/128					
DS1	DS2	占空比																			
L	L	1/48																			
	H	1/64																			
H	L	1/96																			
	H	1/128																			
33 35 37	C R CR	输出	<p>RC振荡</p> <ul style="list-style-type: none"> <li>● 主机模式:如下图接法</li> </ul> <ul style="list-style-type: none"> <li>● 从机模式: 如下图接法</li> </ul>																		
44 43	CLK1 CLK2	输出	<p>TL0108运行时钟</p> <ul style="list-style-type: none"> <li>● 主机模式: 接TL0108 CLK1和CLK2</li> <li>● 从机模式: 开路</li> </ul>																		
46	FRM	输出	<p>帧同步信号</p> <ul style="list-style-type: none"> <li>● 主机模式: 接TL0108 FRM端</li> <li>● 从机模式: 开路</li> </ul>																		
47	M	输入/ 输出	<p>LCD 驱动转换信号</p> <ul style="list-style-type: none"> <li>● 主机模式: 输出口,接TL0108的M端</li> <li>● 从机模式: 输入口,接控制器</li> </ul>																		
52	CL2	输入/ 输出	<p>数据移位时钟</p> <ul style="list-style-type: none"> <li>● 主机模式: 输出态,接TL0108的CL端</li> <li>● 从机模式: 输入态,接控制器移位时钟端</li> </ul>																		
29 50	DIO1 DIO2	输入/ 输出	<p>内部移位寄存器数据输入/输出引脚</p> <table border="1"> <thead> <tr> <th>MS</th> <th>SHL</th> <th>DIO1</th> <th>DIO2</th> </tr> </thead> <tbody> <tr> <td rowspan="2">H</td> <td>H</td> <td>Output</td> <td>Output</td> </tr> <tr> <td>L</td> <td>Output</td> <td>Output</td> </tr> <tr> <td rowspan="2">L</td> <td>H</td> <td>input</td> <td>Output</td> </tr> <tr> <td>L</td> <td>Output</td> <td>input</td> </tr> </tbody> </table>	MS	SHL	DIO1	DIO2	H	H	Output	Output	L	Output	Output	L	H	input	Output	L	Output	input
MS	SHL	DIO1	DIO2																		
H	H	Output	Output																		
	L	Output	Output																		
L	H	input	Output																		
	L	Output	input																		

\* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



22-1 100-59	C1-C64	输出	LCD 驱动信号输出		
			Data	M	OUT
			L	L	V1
				H	V4
H	L	V5			
	H	V0			
34,36,38 41,45,48 51,53	NC		未连接		

## 最大极限工作条件

特性	符号	值	单位	备注
工作电压	$V_{DD}$	-0.3 to +7.0	V	(1)
电源电压	$V_{EE}$	$V_{DD} - 15.0$ to $V_{DD} + 0.3$	V	(4)
驱动器电源电压	$V_B$	-0.3 to $V_{DD} + 0.3$	V	(1), (2)
	$V_{LCD}$	$V_{EE} - 0.3$ to $V_{DD} + 0.3$	V	(3), (4)
工作温度	$T_{opr}$	-30 to +85	°C	-
存储温度	$T_{stg}$	-55 to +125	°C	-

注:

- 对  $V_{SS}=0V$
- 使输入端和 I/O 端置于高阻态( $V_{0L(R)}$ ,  $V_{1L(R)}$ ,  $V_{4L(R)}$ 和  $V_{5L(R)}$  除外)
- 对  $V_{0L(R)}$ ,  $V_{1L(R)}$ ,  $V_{4L(R)}$ 和  $V_{5L(R)}$
- 电压电平:  $V_{DD} \geq V_{0L} = V_{0R} \geq V_{1L} = V_{1R} \geq V_{4L} = V_{4R} \geq V_{5L} = V_{5R} \geq V_{EE}$

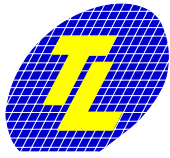
## 电气特性

直流特性( $V_{DD}=+5V \pm 10\%$ ,  $V_{SS}=0V$ ,  $|V_{DD}-V_{EE}|=8 \sim 15V$ ,  $T_a=-30 \sim +85^\circ C$ )

参数	符号	条件	最小	典型	最大	单位	备注
输入电压	H	$V_{IH}$	$0.7V_{DD}$	--	$V_{DD}$	V	(1)
	L	$V_{IL}$	$V_{SS}$	--	$0.3V_{DD}$		
输出电压	H	$V_{OH}$	$I_{OH}=-0.4mA$	$V_{DD}-0.4$	--	--	(2)
	L	$V_{OL}$	$I_{OL}=0.4mA$	--	--	0.4	
输入漏电流	$I_{LKG}$	$V_{IN}=V_{DD}-V_{SS}$	-1.5	--	1.5	$\mu A$	(1)
振荡频率	fosc	$R_f=82K\Omega \pm 2\%$ $C_f=20pf \pm 5\%$	315	450	585	KHz	
导通电阻	$R_{ON}$	$V_{DD}-V_{EE}=17V$ 负载电流= $\pm 150\mu A$	--	--	1.5	K $\Omega$	

\* All specs and applications shown above subject to change without prior notice.

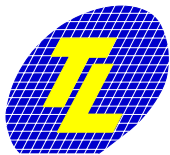
(以上电路及规格仅供参考,本公司得径行修正)



工作电流	I <sub>DD1</sub>	1/128(主机模式)	--	--	1	mA	(3)
	I <sub>DD2</sub>	1/128(从机模式)	--	--	200	uA	(4)
电源电流	I <sub>EE</sub>	1/128(主机模式)	--	--	100		
工作频率	f <sub>OP1</sub>	主机模式 外部时钟	50	--	600	KHz	
	f <sub>OP2</sub>	从机模式	0.5	--	1500		

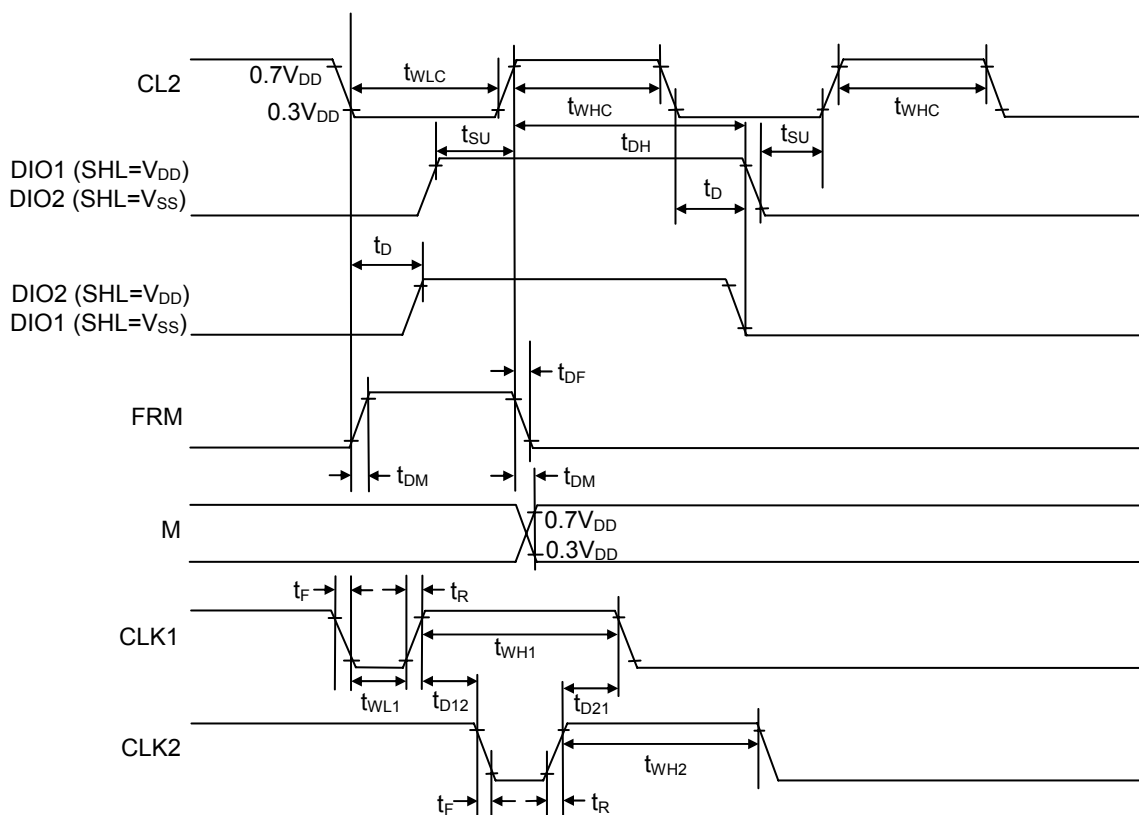
注:

1. 相应端口: FS,DS1,DS2,CR,SHL,MS,PCLK2 和(I/O)DIO1,DIO2,M,CL2 端口为输入态。
2. 相应端口: CLK1,CLK2,FRM 和(I/O)DIO1,DIO2,M,CL2 端口为输出态。
3. 该值为 VSS 上流过的电流值。内接振荡电路: Rf=82KΩ,Cf=20pf,DS1,DS2,FS,SHL 和 MS 端口接至 VDD,输出空载。
4. 该值为 VSS 上流过的电流值,DS1,DS2,FS,SHL,PCLK2 和 CR 端口接 VDD,MS 接 VSS,CL2,M,DIO1 接外部时钟。
5. 该值为 VEE 上流过的电流值,不接 VLCD(V1~V5) 。



交流特性 (VDD=5V±10%, TA=-30°C~+85°C)

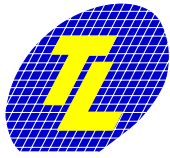
主机模式 (MS=VDD, PCLK2=VDD, Cf=20pF, Rf=82KΩ)



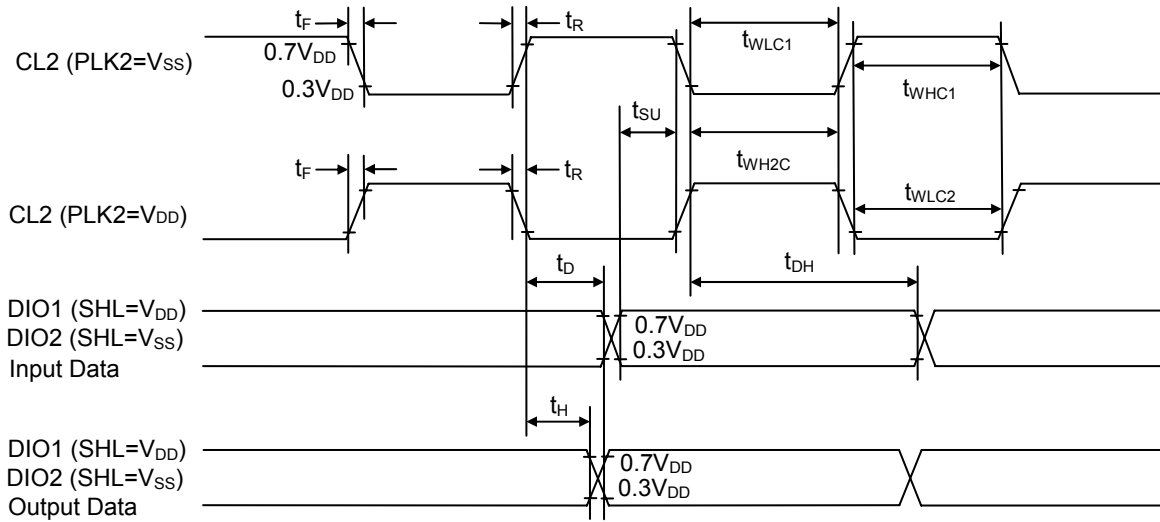
特性	符号	最小	典型	最大	单位
数据设置时间	$t_{SU}$	20	--	--	uS
数据保持时间	$t_{DH}$	40	--	--	
数据延迟时间	$t_D$	5	--	--	
FRM 延迟时间	$t_{DF}$	-2	--	2	
M 延迟时间	$t_{DM}$	-2	--	2	
CL2 低电平宽度	$t_{WLC}$	35	--	--	nS
CL2 高电平宽度	$t_{WHC}$	35	--	--	
CLK1 低电平宽度	$t_{WL1}$	700	--	--	
CLK 2 低电平宽度	$t_{WL2}$	700	--	--	
CLK 1 高电平宽度	$t_{WH1}$	2100	--	--	
CLK 2 高电平宽度	$t_{WH2}$	2100	--	--	
CLK 1- CLK 2 相位差	$t_{D12}$	700	--	--	
CLK 2- CLK 1 相位差	$t_{D21}$	700	--	--	
CLK 1, CLK 2 上升/下降时间	$t_R / t_F$	--	--	150	

\* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考, 本公司得径行修正)

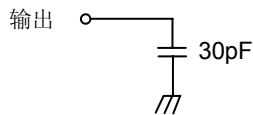


### 从机模式 (MS=VSS)

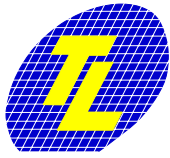


特性	符号	最小	典型	最大	单位	备注
CL2 低电平宽度	$t_{WLC1}$	450	--	--	ns	PCLK2=V <sub>SS</sub>
CL2 高电平宽度	$t_{WHC1}$	150	--	--		PCLK2=V <sub>SS</sub>
CL2 低电平宽度	$t_{WLC2}$	150	--	--		PCLK2=V <sub>DD</sub>
CL2 高电平宽度	$t_{WHC2}$	450	--	--		PCLK2=V <sub>DD</sub>
数据设置时间	$T_{SU}$	100	--	--		
数据保持时间	$t_{DH}$	100	--	--		
数据延迟时间	$t_D$	--	--	200		(见注解)
输出数据保持时间	$t_H$	10	--	--		
CL2 上升/下降时间	$t_R / t_F$	--	--	30		

注: 接负载 CL = 30pF







### 功能描述

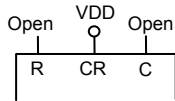
#### RC 振荡

RC 振荡产生 TL0107 的 CL2,M,FRM 和 TL0108 的 CLK1,CLK2

主机模式: 按下图所示振荡



从机模式: 按下图所示停振



#### 时序产生电路

振荡电路产生CL2,M,FRM,CLK1和CLK2

选择主/从(M/S)模式

当M/S是高电平,内部产生CL2,M,FRM,CLK1和CLK2。

当M/S是低电平,电路依靠从主机接收M和CL2运行。

#### 频率选择(FS)

选择 FRM 频率为 70Hz,振荡频率由如下:

FS	振荡频率
H	$f_{OSC}=430kHz$
L	$f_{OSC}=215kHz$

在从机模式下,FS 接到 VDD

#### 模式选择(DS1,DS2)

根据 DS1 和 DS2 选择不同的显示模式

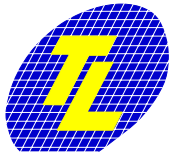
DS1	DS2	占空比
L	L	1/48
	H	1/64
H	L	1/96
	H	1/128

#### 数据移位/相位选择控制

##### 相位选择

根据 PCLK2 选择数据移位同步时钟触发沿

PCLK2	相位选择
H	在 CL2 上升沿数据移位
L	在 CL2 下降沿数据移位



### 数据移位方向选择

当M/S接VDD,DIO1和DIO2仅为输出端。

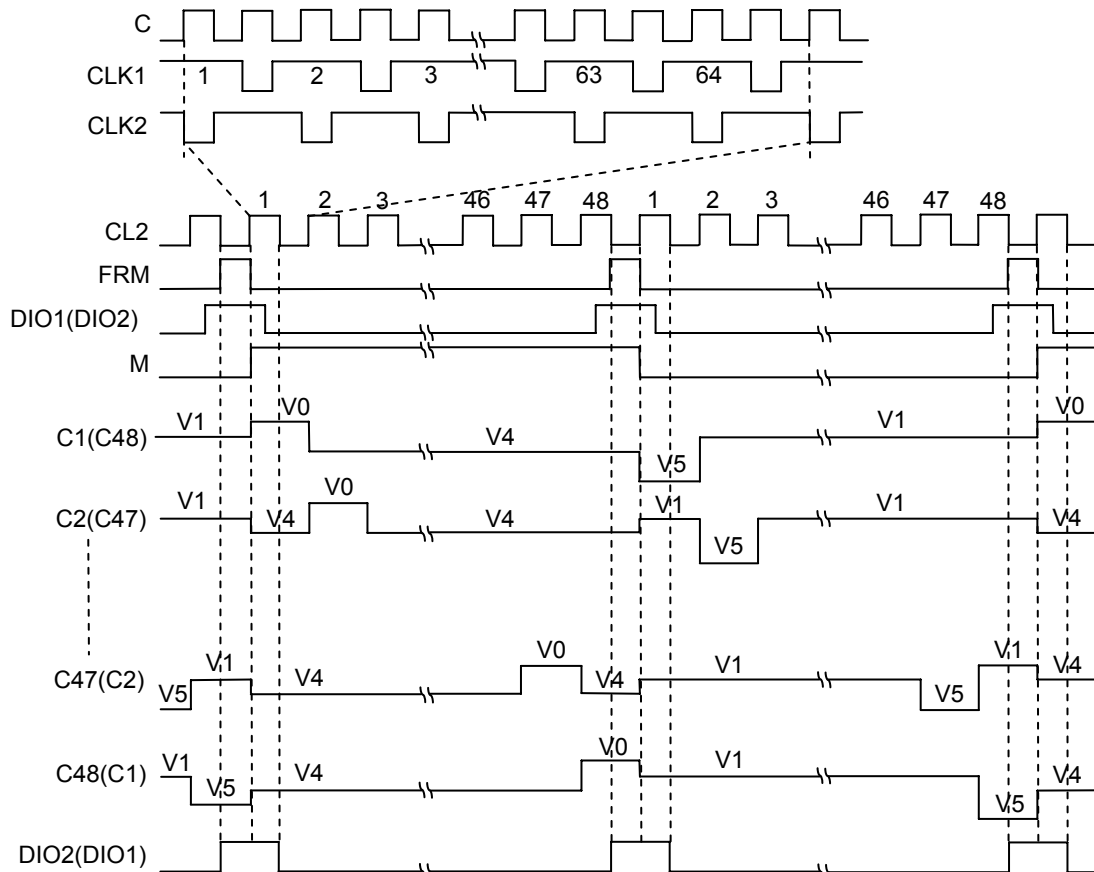
当M/S接VSS,由SHL决定。

MS	SHL	DIO1	DIO2	数据方向
H	H	Output	Output	C1→C64
	L	Output	Output	C64→C1
L	H	Input	Output	DIO1→C1→C64→DIO2
	L	Output	Input	DIO2→C64→C1→DIO1

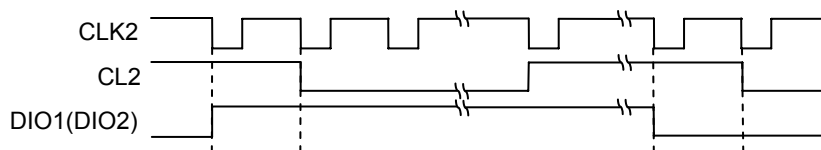
### 时序图

1/48 占空比时序(主机模式)

条件: DS1=L,DS2=L,SHL=H(L),PCLK2=H

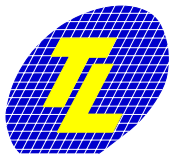


Relation of CL2 and DIO1(DIO2)



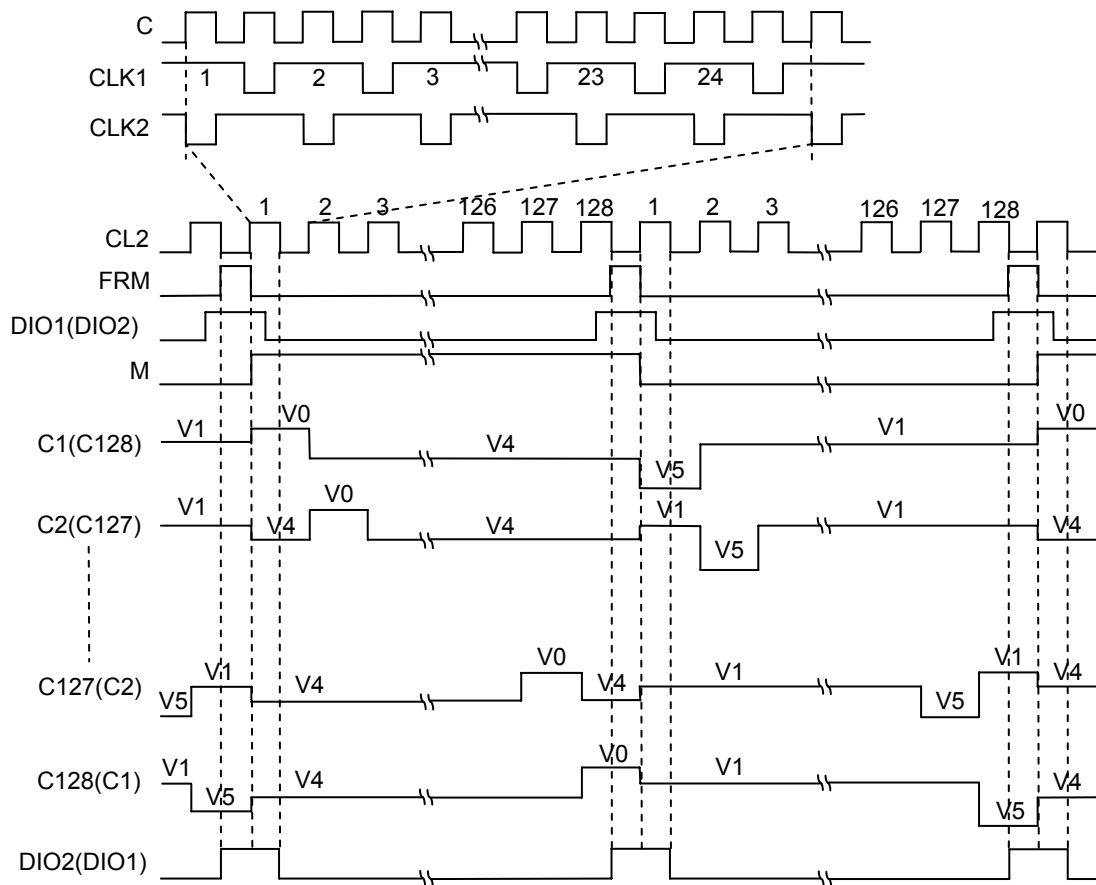
\* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)

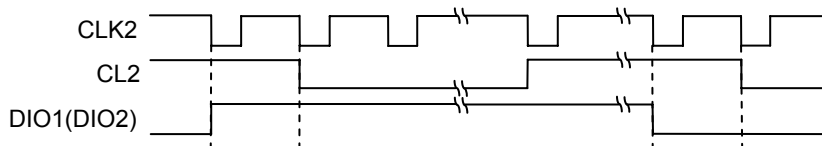


1/128 占空比时序(主机模式)

条件: DS1=H,DS2=H,SHL=H(L),PCLK2=H



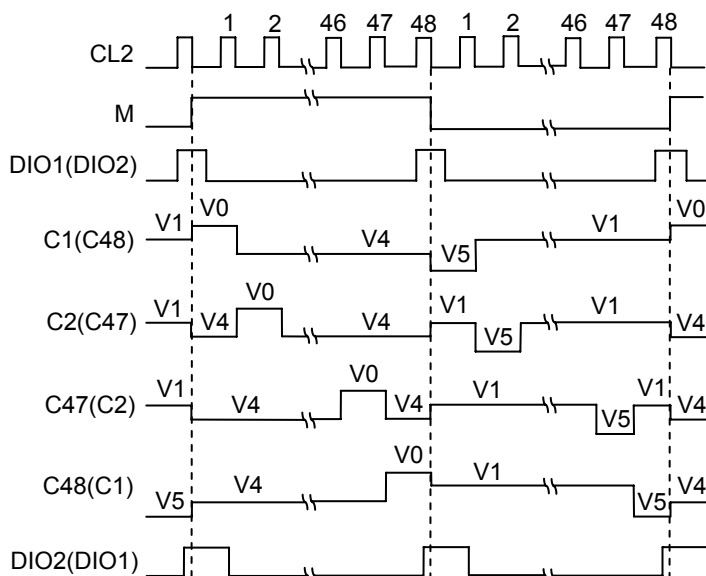
Relation of CL2 and DIO1(DIO2)



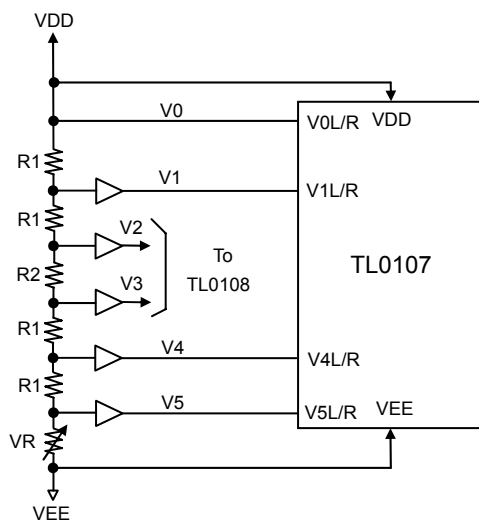


1/48 占空比时序(从机模式)

条件: PCLK2=L,SHL=H(L)



### 功率驱动器电路



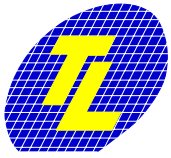
### 占空比和偏置电压的关系

Duty	Bias	RDIV
1/48	1/8	R2=4R1
1/64	1/9	R2=5R1
1/96	1/11	R2=7R1
1/128	1/12	R2=8R1

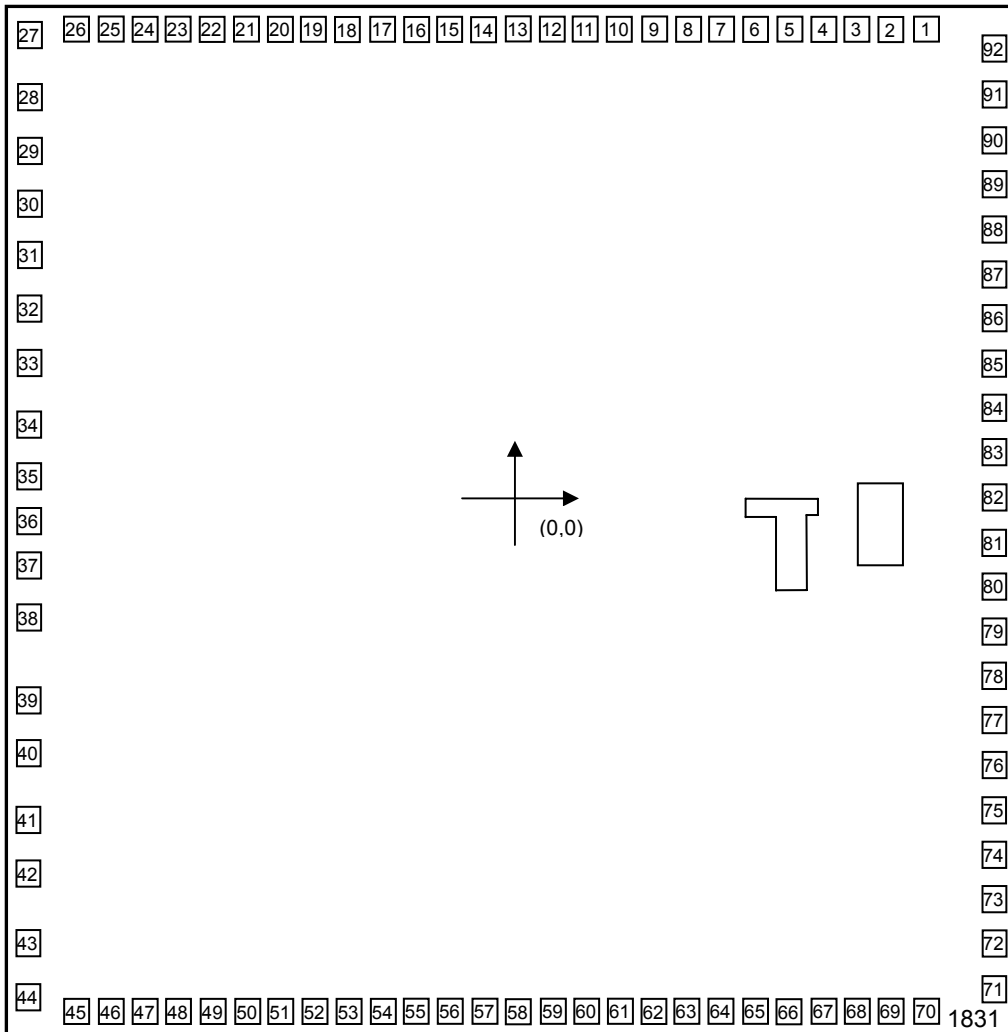
当占空比是 1/48 时,R1、R2 的值满足  $R1/(4R1+R2)=1/8$ ,R1=3KΩ,R2=12KΩ

\* All specs and applications shown above subject to change without prior notice.  
(以上电路及规格仅供参考,本公司得径行修正)



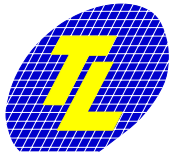


PAD 图



芯片尺寸 : 3693 x 3773  $\mu\text{m}^2$

衬底接 VDD



**PAD 坐标**

序号	PAD名	X	Y	序号	PAD名	X	Y
1	C21	1526.65	1807.05	47	V4R	-1348.35	-1807.40
2	C20	1401.65	1807.05	48	V1R	-1223.35	-1807.40
3	C19	1276.65	1807.05	49	VEE	-1098.35	-1807.40
4	C18	1151.65	1807.05	50	C64	-973.35	-1807.40
5	C17	1026.65	1807.05	51	C63	-848.35	-1807.40
6	C16	901.65	1807.05	52	C62	-723.35	-1807.40
7	C15	776.65	1807.05	53	C61	-598.35	-1807.40
8	C14	651.65	1807.05	54	C60	-473.35	-1807.40
9	C13	526.65	1807.05	55	C59	-348.35	-1807.40
10	C12	401.65	1807.05	56	C58	-223.35	-1807.40
11	C11	276.65	1807.05	57	C57	-98.35	-1807.40
12	C10	151.65	1807.05	58	C56	26.65	-1807.40
13	C9	26.65	1807.05	59	C55	151.65	-1807.40
14	C8	-98.35	1807.05	60	C54	276.65	-1807.40
15	C7	-223.35	1807.05	61	C53	401.65	-1807.40
16	C6	-348.35	1807.05	62	C52	526.65	-1807.40
17	C5	-473.35	1807.05	63	C51	651.65	-1807.40
18	C4	-598.35	1807.05	64	C50	776.65	-1807.40
19	C3	-723.35	1807.05	65	C49	901.65	-1807.40
20	C2	-848.35	1807.05	66	C48	1026.65	-1807.40
21	C1	-973.35	1807.05	67	C47	1151.65	-1807.40
22	VEE	-1098.35	1807.05	68	C46	1276.65	-1807.40
23	V1L	-1223.35	1807.05	69	C45	1401.65	-1807.40
24	V4L	-1348.3	1807.05	70	C44	1526.65	-1807.40
25	V5L	-1473.35	1807.05	71	C43	1767.15	-1726.50
26	V0L	-1598.35	1807.05	72	C42	1767.15	-1556.30
27	VDD	-1763.15	1790.15	73	C41	1767.15	-1392.30
28	DIO1	-1767.15	1563.00	74	C40	1767.15	-1227.80
29	FS	-1767.15	1365.30	75	C39	1767.15	-1063.80
30	DS1	-1767.15	1172.20	76	C38	1767.15	-898.30
31	DS2	-1767.15	979.10	77	C37	1767.15	-734.30
32	C	-1767.15	782.65	78	C36	1767.15	-569.80
33	R	-1767.15	582.85	79	C35	1767.15	-405.80
34	CR	-1767.15	354.20	80	C34	1767.15	-240.30
35	SHL	-1767.15	161.10	81	C33	1767.15	-76.30
36	VSS	-1767.15	-1.45	82	C32	1767.15	89.20
37	M/S	-1767.15	-164.00	83	C31	1767.15	253.20
38	CLK2	-1767.15	-356.70	84	C30	1767.15	418.70
39	CLK1	-1767.15	-659.00	85	C29	1767.15	582.70
40	FRM	-1767.15	-851.30	86	C28	1767.15	747.20
41	M	-1767.15	-1099.00	87	C27	1767.15	911.20
42	PCLK2	-1767.15	-1295.45	88	C26	1767.15	1076.70
43	DIO2	-1767.15	-1553.15	89	C25	1767.15	1240.70
44	CL2	-1767.15	-1754.20	90	C24	1767.15	1406.20
45	V0R	-1598.35	-1807.40	91	C23	1767.15	1575.30
46	V5R	-1473.35	-1807.40	92	C22	1767.15	1740.80

\* All specs and applications shown above subject to change without prior notice.

( 以上电路及规格仅供参考,本公司得径行修正)